

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017615

(43)Date of publication of application : 17.01.2003

(51)Int.Cl. H01L 23/12
H01L 23/04
H01L 33/00

(21)Application number : 2001-198499

(71)Applicant : SHARP CORP

(22)Date of filing : 29.06.2001

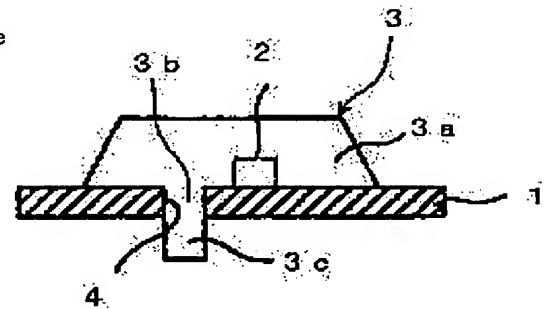
(72)Inventor : INOKUCHI TSUKASA

(54) SURFACE MOUNTING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a surface mounting semiconductor device capable of improving a mounting positional accuracy by preventing occurrence of an unevenness of a mounting position.

SOLUTION: A semiconductor chip 2 is die bonded onto a printed substrate 1. A through hole 4 which passes through the substrate 1 is provided at the substrate 1. A part 3a for sealing the chip 2, a part 3b for fully filling in an inside of the hole 4 and a protruding part 3c protruded to an opposite side to a semiconductor chip mounting side of the substrate 1 are integrated to constitute a resin 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-17615

(P2003-17615A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 23/12

H 0 1 L 23/04

D 5 F 0 4 1

23/04

33/00

N

33/00

23/12

L

審査請求 未請求 請求項の数 4 O D (全 5 頁)

(21) 出願番号

特願2001-198499(P2001-198499)

(22) 出願日

平成13年6月29日 (2001.6.29)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 井ノ口 司

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外1名)

Fターム (参考) 5F041 AA38 DA19 DA20 DA43 DA55

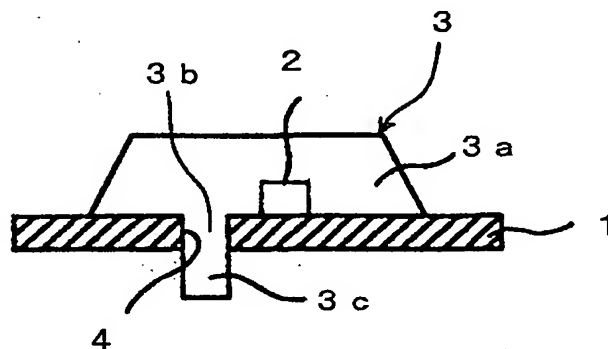
DA92 DC04 DC23 DC64

(54) 【発明の名称】 表面実装型半導体装置

(57) 【要約】

【課題】 取り付け位置のばらつきの発生を阻止して、取り付け位置精度を向上させることができる表面実装型半導体装置を提供する。

【解決手段】 プリント基板1上には半導体チップ2をダイボンディングしている。また、上記プリント基板1には、プリント基板1を貫通するスルーホール4を設けている。そして、上記半導体チップ2を封止する部分3aと、スルーホール4の内側を満たす部分3bと、プリント基板1の半導体チップ搭載側と反対側に突出している突出部分3cとが一体になって樹脂3を構成している。



【特許請求の範囲】

【請求項 1】 基板と、
上記基板に搭載された半導体チップと、
上記基板を貫通するスルーホールと、
上記半導体チップを封止する部分と、上記スルーホールの内側を満たす部分と、上記基板の半導体チップ搭載側と反対側に突出している突出部分とが一体になっている樹脂とを備えたことを特徴とする表面実装型半導体装置。

【請求項 2】 請求項 1 に記載の表面実装型半導体装置において、
上記突出部分は 2 個あって上記基板の対角線上に配置されていることを特徴とする表面実装型半導体装置。

【請求項 3】 請求項 1 に記載の表面実装型半導体装置において、
上記突出部分は 3 個以上あり、上記突出部分の長さは互いに略等しいことを特徴とする表面実装型半導体装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 つに記載の表面実装型半導体装置において、
上記突出部分の断面積は上記スルーホールの開口面積よりも大きいことを特徴とする表面実装型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば発光素子や受光素子等の半導体チップが取り付けられた基板を有する表面実装型半導体装置に関する。

【0002】

【従来の技術】 従来より、発光素子や受光素子等を有する表面実装型半導体装置としては、図 9 に示ように構成された LED（発光ダイオード）装置がある。この LED 装置は、スルーホール 94 が両端部に形成された基板 91 を備えている。そのスルーホール 94 は、基板 91 の両面に亘って形成されたアノード及びカソードを有している。また、上記基板 91 上には LED チップ 92 をダイボンディングしており、その LED チップ 92 のリード部と、スルーホール 94 のアノード及びカソードとを金線 96 でワイヤボンディングしている。そして、上記 LED チップ 92 を封止するために、所定のモールド金型を用いて樹脂 93 をトランスファーモールドしている。

【0003】 このように構成された LED 装置では、アノードとカソードとの間に電圧が印加されると、基板 91 上の LED チップ 92 が発光する。その LED チップ 92 からの光は、樹脂モールドにより形成された樹脂 93 を通って外部に射出される。

【0004】 また、他の従来の表面実装型半導体装置としては、図 10 に示すように、基板 101 の両端部にスルーホールを設けず、基板 101 の両端部をメッキにより導通した LED 装置も存在する。

【0005】 それら従来の表面実装型半導体装置の電極

としては、アノード及びカソードを各 1 対持つものの他に、アノード及びカソードを各 2 対持つものがある。また、アノード及びカソードを各 3 対以上持つ電極の場合は、アノード、カソードのうちどちらかをコモンとしたものがある。

【0006】

【発明が解決しようとする課題】 ところで、それら従来の表面実装型半導体装置の殆どは、はんだ付けにより配線基板に固定されるものであるが、固定に際しては特に機構的に取り付け位置を制御するものがなく、現状は、はんだ付けを行った際のはんだ自体のセルフアライメントにより位置決めされている。したがって、はんだ付け用のランド形状、はんだ種類、はんだ付け条件等により、取り付け位置にばらつきが発生してしまうという問題がある。最悪の場合は、取り付け位置が設計位置よりずれてしまったり、はんだ付け不良が発生してしまうことがある。また、取り付け位置精度が必要とされる場合には、それら従来の表面実装型半導体装置を使用できない状況であった。

【0007】 そこで、本発明の課題は、取り付け位置のばらつきの発生を阻止して、取り付け位置精度を向上させることができる表面実装型半導体装置を提供することにある。

【0008】

【課題を解決するための手段】 本発明者は、半導体チップを搭載する基板に、モールドする樹脂が通過できるようなスルーホールを設け、更にそのモールド金型にはそのスルーホールに対応した位置に突起物が形成されるように穴を設けた。この状態で、上記半導体チップが取り付けられた基板をモールド金型にセットし、樹脂モールドを行えば、半導体チップの搭載面とは反対側において、そのスルーホールを通り抜けた樹脂により突起物が形成される。このように形成された表面実装型半導体装置を例えば配線基板に固定する場合、配線基板にはその突起物が嵌合可能な穴を設けておき、この穴と突起物とを嵌合させることにより、取り付け位置精度を向上させることができる。

【0009】 以上のことを鑑みて、本発明者は、上記課題を解決するための本発明を創作した。

【0010】 すなわち、本発明の表面実装型半導体装置は、基板と、上記基板に搭載された半導体チップと、上記基板を貫通するスルーホールと、上記半導体チップを封止する部分と、上記スルーホールの内側を満たす部分と、上記基板の半導体チップ搭載側と反対側に突出している突出部分とが一体になっている樹脂とを備えたことを特徴としている。

【0011】 上記構成の表面実装型半導体装置を例えば配線基板に固定する場合は、上記基板の半導体チップ搭載側と反対側に突出している突出部分と嵌合する穴を配線基板に設けておくことにより、その突出部分と配線基

板の穴とを嵌合させて、取り付け位置のばらつきの発生を阻止できるから、取り付け位置の精度向上を達成することができる。

【0012】一実施形態の表面実装型半導体装置は、上記突出部分は2個あって上記基板の対角線上に配置されている。

【0013】上記実施形態の表面実装型半導体装置は、上記突出部分は2個あって基板の対角線上に配置されているから、その突出部分を中心に回転しない。つまり、自転に対する抑制が得られる。したがって、取り付け位置精度をより向上させることができる。

【0014】一実施形態の表面実装型半導体装置は、上記突出部分は3個以上あり、上記突出部分の長さは互いに略等しい。

【0015】上記実施形態の表面実装型半導体装置は、通常、自動機による搭載を考えられるため、テーピング状態に梱包されるが、上記突出部分があると、そのテーピングのキャリアテープ内において傾いたりする可能性がある。そのため、上記突出部分を挿通する穴をキャリアテープに設けることになるが、突出部分が3個以上あって、その突出部分の長さを互いに略等しいから、自立が可能となって、キャリアテープに特別な構造を施すことなく、製品傾きを抑えることが可能になる。

【0016】一実施形態の表面実装型半導体装置は、上記突出部分の断面積は上記スルーホールの開口面積よりも大きい。

【0017】上記実施形態の表面実装型半導体装置によれば、上記突出部分の断面積はスルーホールの開口面積よりも大きいので、その突出部分がアンカー的な役割をすることになって、基板に対する樹脂の密着強度が向上する。

【0018】

【発明の実施の形態】以下、本発明の表面実装型半導体装置を図示の実施の形態により詳細に説明する。

【0019】図1は本発明の一実施形態の表面実装型半導体装置の斜視図であり、図2は上記表面実装型半導体装置の側面図であり、図3は上記表面実装型半導体装置の模式断面図である。

【0020】上記表面実装型半導体装置は、図1に示すように、基板の一例であるプリント基板1を備えている。このプリント基板1には、図2に示すように、半導体チップ2がダイボンドされている。また、上記プリント基板1には、図3に示すように、プリント基板1を貫通するスルーホール4を1つ設けている。上記半導体チップ2を封止する部分3aと、スルーホール4の内側を満たす部分3bと、プリント基板1の半導体チップ搭載側と反対側（図中下側）に突出している突出部分3cとが一体になって樹脂3を構成している。また、図示しないが、上記半導体チップ2はワイヤボンドされている。

【0021】上記樹脂3を形成する樹脂モールドには、

図5(a)に示すように、モールド金型上型11およびモールド金型下型12を用いる。このモールド金型下型12は、プリント基板1のスルーホール4に対応する位置に、樹脂3の突出部分3cを形成するための凹部13を有している。そして、図5(b)に示すように、上記凹部とスルーホール4との位置を合わせるようにして、モールド金型上型11とモールド金型下型12と間にプリント基板21をセットし、モールド金型上型11でプリント基板21を抑えた後に樹脂を流し込み成型する。これにより、その樹脂の一部がスルーホール4を通してモールド金型下型12の凹部13内に流れ込み、樹脂3の突出部分3cが形成される。このような樹脂成型完了時では、製品が集合した状態にあるから、次の工程にて製品個々にダイシング等で分割する。

【0022】上記構成の表面実装型半導体装置によれば、樹脂3の突出部分3cと嵌合する穴を配線基板に設けておくことにより、その突出部分3cと配線基板の穴とを嵌合させて、取り付け位置のばらつきの発生を阻止できるから、取り付け位置の精度を向上させることができる。

【0023】上記樹脂3の突出部分3cの形状は、例えば円柱状や角柱状などであってもよい。

【0024】また、上記実施の形態では、樹脂3の突出部分3cは1つであったが、複数であってもよい。この場合、プリント基板1のスルーホール及びモールド金型下型の凹部の数も、その突出部分の数に合わせて設定する。

【0025】例えば、図6に示すように、突出部分63cを2つにして、これらの突出部分63cをプリント基板61の対角線に配置してもよい。この場合、上記表面実装型半導体装置の自転が抑制され、取り付け位置の精度をより向上させることができる。

【0026】また、図7に示すように、プリント基板71の半導体チップ搭載側と反対側に突出している突出部分73cを4つにしてもよいし、あるいは、図8に示すように、プリント基板81の半導体チップ搭載側と反対側に突出している突出部分83cを3つにしてもよい。これらの場合、上記突出部分73c、83cの中心に製品（表面実装型半導体装置）の重心がくるように設定すると共に、その突出部分73c、83cの長さを互いに略等しくする。そうすると、表面実装型半導体装置が自立可能になって、表面実装型半導体装置をテーピング梱包した際の製品傾きをキャリアテープに何ら特別な処理を施さずに抑えることが可能になる。

【0027】また、図4に示すように、樹脂43の突出部分43cの断面積を、スルーホール44の開口面積よりも大きくしてもよい。この場合、取り付け位置精度向上の他に、突出部分43cがアンカー的な役割をして、プリント基板41と樹脂43との密着強度をアップさせることができる。逆に、プリント基板のスルーホールの

開口面積よりもモールド金型下型12における凹部の断面積が小さい場合は、結果的にスルーホールの開口面積と、モールド金型下型12における凹部とが同一の場合と同じ構造となる。但し、上記モールド金型下型11、モールド金型下型12とスルーホールとのセットずれを考慮した場合、スルーホールの開口面積をモールド金型下型12における凹部の断面積より大きくした方が有利である。

【0028】また、上記半導体チップ2としては、例えば発光素子や受光素子等がある。

【0029】

【発明の効果】以上より明らかなように、本発明の表面実装型半導体装置は、基板の半導体チップ搭載側と反対側に突出している突出部分を有するから、その突出部分と嵌合する穴を配線基板に設けておくことにより、その突出部分と配線基板の穴とを嵌合させて、取り付け位置のばらつきの発生を防ぐことができる。その結果、取り付け位置の精度向上を達成することができる。

【0030】一実施形態の表面実装型半導体装置は、上記突出部分は2個あって上記基板の対角線上に配置されているから、その突出部分を中心に回転せず、取り付け位置精度をより向上させることができる。

【0031】一実施形態の表面実装型半導体装置は、上記突出部分を3個以上にし、その突出部分の長さを互いに略等しいから、自立が可能になって、テーピング梱包した際の製品傾きをキャリアテープに何ら特別な処理を施さずに抑えることが可能になっている。

【0032】一実施形態の表面実装型半導体装置は、上記突出部分の断面積はスルーホールの開口面積よりも大きいので、その突出部分がアンカー的な役割をして、基板に対する樹脂の密着強度を向上させることができる。*

*【図面の簡単な説明】

【図1】 図1は本発明の一実施形態の表面実装型半導体装置の斜視図である。

【図2】 図2は上記表面実装型半導体装置の側面図である。

【図3】 図3は上記表面実装型半導体装置の模式断面図である。

【図4】 図4は本発明の表面実装型半導体装置の変形例の模式断面図である。

10 【図5】 図5(a)、(b)は本発明の一実施形態の表面実装型半導体装置の製造方法を説明するための図である。

【図6】 図6は本発明の表面実装型半導体装置の変形例の下面図である。

【図7】 図7は本発明の表面実装型半導体装置の変形例の下面図である。

【図8】 図8は本発明の表面実装型半導体装置の変形例の下面図である。

20 【図9】 図9は従来の表面実装型半導体装置の斜視図である。

【図10】 図10は他の従来の表面実装型半導体装置の斜視図である。

【符号の説明】

1, 41, 61, 71, 81 プリント基板

2 半導体チップ

3, 43 樹脂

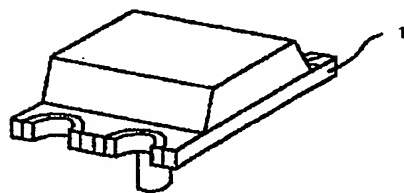
3a 半導体チップを封止する部分

3b スルーホールの内側を満たす部分

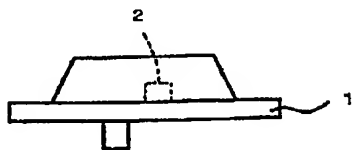
3c, 43c, 63c, 73c, 83c 突出部分

30 4, 44 スルーホール

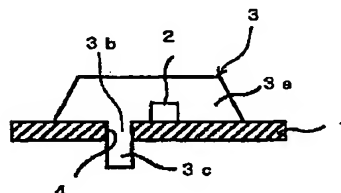
【図1】



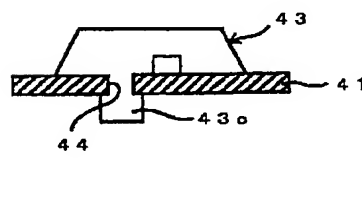
【図2】



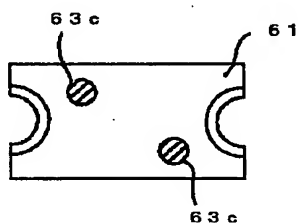
【図3】



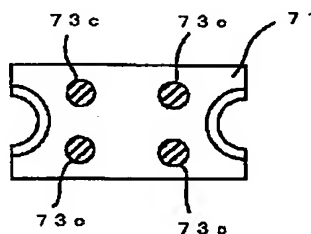
【図4】



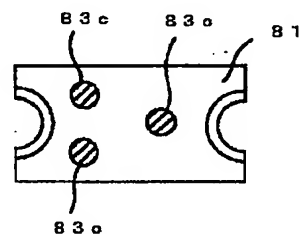
【図6】



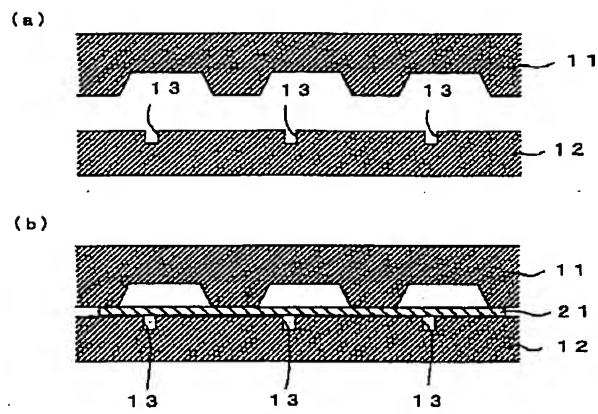
【図7】



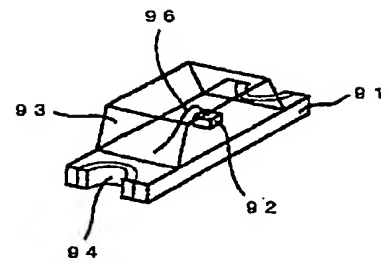
【図8】



【図5】



【図9】



【図10】

